

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月19日  
Date of Application:

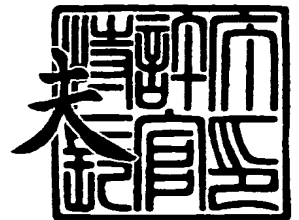
出願番号 特願2002-368744  
Application Number:  
[ST. 10/C]: [JP 2002-368744]

出願人 松下電器産業株式会社  
Applicant(s):

2003年 9月10日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



出証番号 出証特2003-3074248

【書類名】 特許願

【整理番号】 5037640137

【提出日】 平成14年12月19日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 17/18

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社  
                                会社内

    【氏名】 仲矢 修治

【特許出願人】

    【識別番号】 000005821

    【氏名又は名称】 松下電器産業株式会社

【代理人】

    【識別番号】 110000040

    【氏名又は名称】 特許業務法人池内・佐藤アンドパートナーズ

    【代表者】 池内 寛幸

    【電話番号】 06-6135-6051

【手数料の表示】

    【予納台帳番号】 139757

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 0108331

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 メモリセルをマトリクス状に配置して成るメモリセルアレイと、行方向のメモリセルのゲート端子を共通に接続する複数のワード線と、列方向のメモリセルのドレイン端子を共通に接続する複数のビット線と、前記メモリセルのデータを判定する判定回路と、前記ビット線と前記判定回路を選択的に接続するカラム選択回路と、前記カラム選択回路により選択されたビット線と前記判定回路の入力端子をチャージするチャージ回路と、前記チャージ回路を制御するチャージ信号発生回路とを備えた半導体記憶装置であって、前記チャージ回路は、

前記チャージ信号発生回路の出力信号が活性状態のときに動作する第 1 のチャージ手段と、

前記チャージ信号発生回路の出力信号が活性状態でかつ選択されたビット線の電圧が所定電圧以下のときに動作する第 2 のチャージ手段とを備えたことを特徴とする半導体記憶装置。

【請求項 2】 メモリセルをマトリクス状に配置して成るメモリセルアレイと、行方向のメモリセルのゲート端子を共通に接続する複数のワード線と、列方向のメモリセルのドレイン端子を共通に接続する複数のビット線と、前記メモリセルのデータを判定する判定回路と、前記ビット線と前記判定回路を選択的に接続するカラム選択回路と、前記カラム選択回路により選択されたビット線と前記判定回路の入力端子をチャージするチャージ回路と、前記チャージ回路を制御するチャージ信号発生回路とを備えた半導体記憶装置であって、前記チャージ回路は、

電源電圧が供給されるソース端子と、前記チャージ信号発生回路の出力信号が印加されるゲート端子と、前記判定回路の入力端子に接続されたドレイン端子とを有する第 1 のトランジスタと、

電源電圧が供給されるソース端子と、前記チャージ信号発生回路の出力信号が印加されるゲート端子とを有する第 2 のトランジスタと、

前記第2のトランジスタのドレイン端子に接続されたソース端子と、前記判定回路の出力端子に接続されたゲート端子と、前記判定回路の入力端子に接続されたドレイン端子とを有する第3のトランジスタとを備えたことを特徴とする半導体記憶装置。

【請求項3】 メモリセルをマトリクス状に配置して成るメモリセルアレイと、行方向のメモリセルのゲート端子を共通に接続する複数のワード線と、列方向のメモリセルのドレイン端子を共通に接続する複数のビット線と、前記メモリセルのデータを判定する判定回路と、前記ビット線と前記判定回路を選択的に接続するカラム選択回路と、前記カラム選択回路により選択されたビット線と前記判定回路の入力端子をチャージするチャージ回路と、前記チャージ回路を制御するチャージ信号発生回路とを備えた半導体記憶装置であって、前記チャージ回路は、

電源電圧が供給されるソース端子と、前記チャージ信号発生回路の出力信号が印加されるゲート端子と、前記判定回路の入力端子に接続されたドレイン端子とを有する第1のトランジスタと、

電源電圧が供給されるソース端子と、前記チャージ信号発生回路の出力信号が印加されるゲート端子とを有する第2のトランジスタと、

前記第2のトランジスタのドレイン端子に接続されたソース端子と、前記判定回路の入力端子に接続されたドレイン端子とを有する第3のトランジスタと、

前記判定回路の入力端子に接続された入力端子と、前記第3のトランジスタのゲート端子に接続された出力端子とを有するインバータとを備えたことを特徴とする半導体記憶装置。

【請求項4】 メモリセルをマトリクス状に配置して成るメモリセルアレイと、行方向のメモリセルのゲート端子を共通に接続する複数のワード線と、列方向のメモリセルのドレイン端子を共通に接続する複数のビット線と、前記メモリセルのデータを判定する判定回路と、前記ビット線と前記判定回路を選択的に接続するカラム選択回路と、前記カラム選択回路により選択されたビット線と前記判定回路の入力端子をチャージするチャージ回路と、前記チャージ回路を制御する第1のチャージ信号発生回路とを備えた半導体記憶装置であって、

ダミー用メモリセルを列方向に配置して成るダミー用メモリセルアレイと、  
前記ダミー用メモリセルのドレイン端子を接続するダミービット線と、  
前記ダミー用メモリセルのデータを判定するダミー用判定回路と、  
前記ダミービット線と前記ダミー用判定回路を接続するダミー用選択回路と、  
前記チャージ回路と同様の内部構成を有し、前記第 1 のチャージ信号発生回路  
の出力信号を受けて、前記ダミー用選択回路を介して接続された前記ダミービッ  
ト線と前記ダミー用判定回路の入力端子をチャージするダミー用チャージ回路と  
、

前記ダミー用判定回路の出力信号と前記第 1 のチャージ信号発生回路の出力信  
号を受けて、前記チャージ回路を制御する第 2 のチャージ信号発生回路とを備え  
、

前記チャージ回路は、

前記第 1 のチャージ信号発生回路の出力信号が活性状態のときに動作する第  
1 のチャージ手段と、

前記第 1 のチャージ信号発生回路の出力信号が活性状態でかつ前記ダミー用  
判定回路の出力信号が所定の論理状態のときに動作する第 2 のチャージ手段とを  
備えたことを特徴とする半導体記憶装置。

【請求項 5】 メモリセルをマトリクス状に配置して成るメモリセルアレイと  
、行方向のメモリセルのゲート端子を共通に接続する複数のワード線と、列方向  
のメモリセルのドレイン端子を共通に接続する複数のビット線と、前記メモリセ  
ルのデータを判定する判定回路と、前記ビット線と前記判定回路を選択的に接続  
するカラム選択回路と、前記カラム選択回路により選択されたビット線と前記判  
定回路の入力端子をチャージするチャージ回路と、前記チャージ回路を制御する  
第 1 のチャージ信号発生回路とを備えた半導体記憶装置であって、

ダミー用メモリセルを列方向に配置して成るダミー用メモリセルアレイと、  
前記ダミー用メモリセルのドレイン端子を接続するダミービット線と、  
前記ダミー用メモリセルのデータを判定するダミー用判定回路と、  
前記ダミービット線と前記ダミー用判定回路を接続するダミー用選択回路と、  
前記チャージ回路と同様の内部構成を有し、前記第 1 のチャージ信号発生回路

の出力信号を受けて、前記ダミー用選択回路を介して接続された前記ダミービット線と前記ダミー用判定回路の入力端子をチャージするダミー用チャージ回路と

、  
前記ダミー用判定回路の出力信号と前記第 1 のチャージ信号発生回路の出力信号を受けて、前記チャージ回路を制御する第 2 のチャージ信号発生回路とを備え

、  
前記チャージ回路は、

電源電圧が供給されるソース端子と、前記第 1 のチャージ信号発生回路の出力信号が印加されるゲート端子と、前記判定回路の入力端子に接続されたドレイン端子とを有する第 1 のトランジスタと、

電源電圧が供給されるソース端子と、前記第 2 のチャージ信号発生回路の出力信号が印加されるゲート端子と、前記判定回路の入力端子に接続されたドレイン端子とを有する第 2 のトランジスタとを備えたことを特徴とする半導体記憶装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に、高速読み出し可能なマスク ROM を実現する技術に関する。

##### 【0002】

#### 【従来の技術】

図 6 は、従来の半導体記憶装置として、コンタクト方式のマスク ROM の構成を示す回路図である。コンタクト方式のマスク ROM とは、メモリセルトランジスタのドレインがビット線にコンタクトを介して接続されているか、接続されていないかを記憶データの“0”及び“1”に対応させるものである。

##### 【0003】

図 6 において、従来の半導体記憶装置は、メモリセルアレイ 3 と、カラムデコーダ 2 と、センスアンプ 18 と、チャージ信号発生回路 4 とから構成される。

##### 【0004】

メモリセルアレイ 3 は、N 型 MOS トランジスタのメモリセル  $M_{ij}$  ( $i = 1 \sim m$ ,  $j = 1 \sim n$ ) がマトリクス状に配置して構成される。メモリセル  $M_{ij}$  のゲートは、行方向 ( $i$  の数値が同一のメモリセル) に共通にワード線  $WL_i$  ( $i = 1 \sim m$ ) に各々接続され、そのソースは接地電位に接続される。ここで、メモリセル  $M_{ij}$  のドレインは、記憶データを “0” とする場合、ビット線  $BL_j$  ( $j = 1 \sim n$ ) に接続され、記憶データを “1” とする場合には、ビット線  $BL_j$  ( $j = 1 \sim n$ ) に接続されない。

#### 【0005】

カラムデコーダ 2 は、N 型 MOS トランジスタ  $C_j$  ( $j = 1 \sim n$ ) から構成される。N 型 MOS トランジスタ  $C_j$  ( $j = 1 \sim n$ ) のドレインは、全て共通に接続され、そのゲートは、カラム選択信号線  $CL_j$  ( $j = 1 \sim n$ ) に各々接続され、そのソースは、ビット線  $BL_j$  ( $j = 1 \sim n$ ) に各々接続される。

#### 【0006】

センスアンプ 18 は、チャージ用 P 型 MOS トランジスタ 5 (チャージ回路) と、メモリセル  $M_{ij}$  の出力データを判定するインバータ 8 (判定用インバータ) と、インバータ 8 の出力信号をバッファリングするインバータ 9 (バッファ用インバータ) とで構成される。P 型 MOS トランジスタ 5 のゲート端子には、チャージ信号発生回路 4 の出力信号  $NPR$  が入力され、そのソース端子には電源電圧  $VDD$  が供給され、そのドレイン端子は N 型 MOS トランジスタ  $C_j$  ( $j = 1 \sim n$ ) の共通ドレインに接続される。インバータ 8 は、N 型 MOS トランジスタ  $C_j$  ( $j = 1 \sim n$ ) の共通ドレインの信号を受けて、メモリセル  $M_{ij}$  の出力データを判定する。インバータ 9 は、インバータ 8 の出力信号を受けて、メモリセル  $M_{ij}$  の記憶データを出力する。

#### 【0007】

チャージ信号発生回路 4 は、外部からのクロックとアドレスを受けて、チャージ用 P 型 MOS トランジスタ 5 のゲートにチャージ制御信号  $NPR$  を出力する。

#### 【0008】

次に、以上のように構成された半導体記憶装置において、例として、メモリセル  $M_{11}$  のデータを読み出す動作について、図 7 を参照して説明する。図 7 は、

センスアンプ18の各部信号のタイミングチャートである。

【0009】

まず、カラム選択信号線 $CL_j$  ( $j = 1 \sim n$ )のうち、 $CL_1$ を論理「H」レベルに、その他の $CL_2 \sim CL_n$ を論理「L」レベルに遷移させることにより、カラムデコーダ2を構成するトランジスタのうち、N型MOSトランジスタ $C_1$ をオン状態にし、その他のトランジスタ $C_2 \sim C_n$ をオフ状態にする。また、ワード線 $WL_1$ を非選択の状態である論理「L」レベルから、選択の状態である論理「H」レベルへと遷移させ、その他のワード線 $WL_2 \sim WL_m$ を非選択の状態である論理「L」レベルにする。

【0010】

次に、チャージ制御信号 $NPR$ を論理「H」レベルから論理「L」レベルにし、チャージ用P型MOSトランジスタ5をオン状態にする。

【0011】

ここで、メモリセル $M_{11}$ のドレインがビット線 $BL_1$ に接続されている場合は、メモリセル $M_{11}$ の電流能力はチャージ用P型MOSトランジスタ5より大きいので、インバータ8の入力信号 $SIN$  ( $SIN_0$ )はインバータ8のスイッチングレベル $V_{TH}$ よりも低いレベルとなり、インバータ8の出力信号 $SOUT$  ( $SOUT_0$ )は論理「H」レベルを保持し、かつインバータ9の出力信号 $OUT$  ( $OUT_0$ )は論理「L」レベルを保持する。

【0012】

一方、メモリセル $M_{11}$ のドレインがビット線 $BL_1$ に接続されていない場合、ビット線 $BL_1$ はチャージ用P型MOSトランジスタ5で充電され、インバータ8の入力信号 $SIN$  ( $SIN_1$ )はインバータ8のスイッチングレベル $V_{TH}$ よりも高い電圧になるので、インバータ8の出力信号 $SOUT$  ( $SOUT_1$ )は論理「L」レベルになり、かつインバータ9の出力信号 $OUT$  ( $OUT_1$ )は論理「H」レベルを出力する。このとき、読み出し時間 $t_{RD}$ は、チャージ用P型MOSトランジスタ5がビット線 $BL_1$ を充電する時間で決定される。

【0013】

【特許文献1】



特開平 5-62482 号公報

【0014】

【特許文献 2】

特開 2002-32995 号公報

【0015】

【発明が解決しようとする課題】

上記従来の半導体記憶装置は、以下の問題を有している。

【0016】

メモリセル  $M_{ij}$  がビット線  $BL_j$  に接続される場合は、チャージ用 P 型 MOS トランジスタ 5 とメモリセル  $M_{ij}$  がオン状態で、判定用インバータ 8 の入力信号  $SIN$  ( $SIN0$ ) のレベルを判定用インバータ 8 のスイッチングレベル  $V_{TH}$  より低くなるようにしてデータを判定するため、チャージ用 P 型 MOS トランジスタ 5 の電流能力はメモリセル  $M_{ij}$  よりも小さくする。

【0017】

近年、プロセスの微細化と機器の高性能化に伴いメモリセル  $M_{ij}$  の電流能力は小さくなり、かつビット線  $BL_j$  に接続されるメモリセル  $M_{ij}$  の数が増加してビット線容量は増加して来ている。メモリセル  $M_{ij}$  の電流能力低下に伴いチャージ用 P 型 MOS トランジスタ 5 の電流能力も低下し、チャージ用 P 型 MOS トランジスタ 5 で充電するビット線容量が増加するので、チャージ時間が長くなり、その結果、読み出し時間  $t_{RD}$  が長くなるという問題がある。

【0018】

本発明は、上記従来の問題点に鑑みてなされたものであり、その目的は、チャージ回路の電流能力が減少しかつビット線容量が増加しても、ビット線に対するチャージを速く行うことができ、高速読み出しを可能とした半導体記憶装置を提供することにある。

【0019】

【課題を解決するための手段】

前記の目的を達成するため、本発明に係る第 1 の半導体記憶装置は、メモリセルをマトリクス状に配置して成るメモリセルアレイと、行方向のメモリセルのゲ

ート端子を共通に接続する複数のワード線と、列方向のメモリセルのドレイン端子を共通に接続する複数のビット線と、メモリセルのデータを判定する判定回路（判定用インバータ、バッファ用インバータ）と、ビット線と判定回路を選択的に接続するカラム選択回路（カラムデコーダ）と、カラム選択回路により選択されたビット線と判定回路の入力端子をチャージするチャージ回路と、チャージ回路を制御するチャージ信号発生回路とを備えた半導体記憶装置であって、チャージ回路は、チャージ信号発生回路の出力信号（NPR）が活性状態のときに動作する第1のチャージ手段と、チャージ信号発生回路の出力信号が活性状態でかつ選択されたビット線の電圧が所定電圧（VTH）に達するまで動作する第2のチャージ手段とを備えたことを特徴とする。

#### 【0020】

この構成により、判定回路の入力信号（SIN）が判定回路のスイッチングレベル（VTH）に達するまで、第1のチャージ手段に加えて、第2のチャージ手段が動作して、選択されたビット線をチャージし、判定回路の入力信号（SIN）が判定回路のスイッチングレベル（VTH）に達した後は、第1のチャージ手段のみで、選択されたビット線をチャージする。

#### 【0021】

前記の目的を達成するため、本発明に係る第2の半導体記憶装置は、メモリセルをマトリクス状に配置して成るメモリセルアレイと、行方向のメモリセルのゲート端子を共通に接続する複数のワード線と、列方向のメモリセルのドレイン端子を共通に接続する複数のビット線と、メモリセルのデータを判定する判定回路（判定用インバータ、バッファ用インバータ）と、ビット線と判定回路を選択的に接続するカラム選択回路（カラムデコーダ）と、カラム選択回路により選択されたビット線と判定回路の入力端子をチャージするチャージ回路と、チャージ回路を制御するチャージ信号発生回路とを備えた半導体記憶装置であって、チャージ回路は、電源電圧（VDD）が供給されるソース端子と、チャージ信号発生回路の出力信号（NPR）が印加されるゲート端子と、判定回路の入力端子に接続されたドレイン端子とを有する第1のトランジスタ（例えば、チャージ用P型トランジスタ）と、電源電圧（VDD）が供給されるソース端子と、チャージ信

号発生回路の出力信号（NPR）が印加されるゲート端子とを有する第2のトランジスタ（例えば、P型トランジスタ）と、第2のトランジスタのドレイン端子に接続されたソース端子と、判定回路の出力端子に接続されたゲート端子と、判定回路の入力端子に接続されたドレイン端子とを有する第3のトランジスタ（例えば、N型トランジスタ）とを備えたことを特徴とする。

#### 【0022】

この構成により、判定回路の入力信号（SIN）が判定回路のスイッチングレベル（VTH）に達するまで、第1のトランジスタに加えて、第3のトランジスタを介して第2のトランジスタが動作して、選択されたビット線をチャージし、判定回路の入力信号（SIN）が判定回路のスイッチングレベル（VTH）に達した後は、第1のトランジスタのみで、選択されたビット線をチャージする。

#### 【0023】

前記の目的を達成するため、本発明に係る第3の半導体記憶装置は、メモリセルをマトリクス状に配置して成るメモリセルアレイと、行方向のメモリセルのゲート端子を共通に接続する複数のワード線と、列方向のメモリセルのドレイン端子を共通に接続する複数のビット線と、メモリセルのデータを判定する判定回路（判定用インバータ、バッファ用インバータ）と、ビット線と判定回路を選択的に接続するカラム選択回路（カラムデコード）と、カラム選択回路により選択されたビット線と判定回路の入力端子をチャージするチャージ回路と、チャージ回路を制御するチャージ信号発生回路とを備えた半導体記憶装置であって、チャージ回路は、電源電圧（VDD）が供給されるソース端子と、チャージ信号発生回路の出力信号（NPR）が印加されるゲート端子と、判定回路の入力端子に接続されたドレイン端子とを有する第1のトランジスタ（例えば、チャージ用P型トランジスタ）と、電源電圧（VDD）が供給されるソース端子と、チャージ信号発生回路の出力信号が印加されるゲート端子とを有する第2のトランジスタ（例えば、P型トランジスタ）と、第2のトランジスタのドレイン端子に接続されたソース端子と、前記判定回路の入力端子に接続されたドレイン端子とを有する第3のトランジスタ（例えば、N型トランジスタ）と、判定回路の入力端子に接続された入力端子と、第3のトランジスタのゲート端子に接続された出力端子と

を有するインバータとを備えたことを特徴とする。

#### 【0024】

この構成によれば、インバータの入力信号（SIN）がインバータのスイッチングレベル（VTH）に達するまで、第1のトランジスタに加えて、第3のトランジスタを介して第2のトランジスタが動作して、選択されたビット線をチャージし、インバータの入力信号（SIN）がインバータのスイッチングレベル（VTH）に達した後は、第1のトランジスタのみで、選択されたビット線をチャージする。

#### 【0025】

前記の目的を達成するため、本発明に係る第4の半導体記憶装置は、メモリセルをマトリクス状に配置して成るメモリセルアレイと、行方向のメモリセルのゲート端子を共通に接続する複数のワード線と、列方向のメモリセルのドレイン端子を共通に接続する複数のビット線と、メモリセルのデータを判定する判定回路（判定用インバータ、バッファ用インバータ）と、ビット線と判定回路を選択的に接続するカラム選択回路（カラムデコーダ）と、カラム選択回路により選択されたビット線と判定回路の入力端子をチャージするチャージ回路と、チャージ回路を制御する第1のチャージ信号発生回路とを備えた半導体記憶装置であって、ダミー用メモリセルを列方向に配置して成るダミー用メモリセルアレイと、ダミー用メモリセルのドレイン端子を接続するダミービット線と、ダミー用メモリセルのデータを判定するダミー用判定回路と、ダミービット線とダミー用判定回路を接続するダミー用選択回路と、チャージ回路と同様の内部構成を有し、第1のチャージ信号発生回路の出力信号（NPR）を受けて、ダミー用選択回路を介して接続されたダミービット線とダミー用判定回路の入力端子をチャージするダミー用チャージ回路と、ダミー用判定回路の出力信号（DMOUT）と第1のチャージ信号発生回路の出力信号（NPR）を受けて、チャージ回路を制御する第2のチャージ信号発生回路（例えば、NOR回路）とを備え、チャージ回路は、第1のチャージ信号発生回路の出力信号（NPR）が活性状態のときに動作する第1のチャージ手段と、第1のチャージ信号発生回路の出力信号（NPR）が活性状態でかつダミー用判定回路の出力信号（DMOUT）が所定の論理状態のと

きに動作する第2のチャージ手段とを備えたことを特徴とする。

#### 【0026】

この構成により、ダミー用判定回路の出力信号（DMOUT）が変化するまで、第1のチャージ手段に加えて、第2のチャージ手段が動作して、選択されたビット線をチャージし、ダミー用判定回路の出力信号（DMOUT）が変化した後は、第1のチャージ手段のみで、選択されたビット線をチャージする。

#### 【0027】

前記の目的を達成するため、本発明に係る第5の半導体記憶装置は、メモリセルをマトリクス状に配置して成るメモリセルアレイと、行方向のメモリセルのゲート端子を共通に接続する複数のワード線と、列方向のメモリセルのドレイン端子を共通に接続する複数のビット線と、メモリセルのデータを判定する判定回路（判定用インバータ、バッファ用インバータ）と、ビット線と判定回路を選択的に接続するカラム選択回路（カラムデコーダ）と、カラム選択回路により選択されたビット線と判定回路の入力端子をチャージするチャージ回路と、チャージ回路を制御する第1のチャージ信号発生回路とを備えた半導体記憶装置であって、ダミー用メモリセルを列方向に配置して成るダミー用メモリセルアレイと、ダミー用メモリセルのドレイン端子を接続するダミービット線と、ダミー用メモリセルのデータを判定するダミー用判定回路と、ダミービット線とダミー用判定回路を接続するダミー用選択回路と、チャージ回路と同様の内部構成を有し、第1のチャージ信号発生回路の出力信号（NPR）を受けて、ダミー用選択回路を介して接続されたダミービット線とダミー用判定回路の入力端子をチャージするダミー用チャージ回路と、ダミー用判定回路の出力信号（DMOUT）と第1のチャージ信号発生回路の出力信号（NPR）を受けて、チャージ回路を制御する第2のチャージ信号発生回路（例えば、NOR回路）とを備え、チャージ回路は、電源電圧（VDD）が供給されるソース端子と、第1のチャージ信号発生回路の出力信号（NPR）が印加されるゲート端子と、判定回路の入力端子に接続されたドレイン端子とを有する第1のトランジスタ（例えば、チャージ用P型トランジスタ）と、電源電圧（VDD）が供給されるソース端子と、第2のチャージ信号発生回路の出力信号（NPR2）が印加されるゲート端子と、判定回路の入力

端子に接続されたドレイン端子とを有する第2のトランジスタとを備えたことを特徴とする。

#### 【0028】

この構成により、ダミー用判定回路の出力信号(DMOUT)が変化するまで、第1のトランジスタに加えて、第2のトランジスタが動作して、選択されたビット線をチャージし、ダミー用判定回路の出力信号(DMOUT)が変化した後は、第1のトランジスタのみで、選択されたビット線をチャージする。

#### 【0029】

上記第1から第3の半導体記憶装置によれば、メモリセルのデータを判定する判定用インバータのスイッチングレベル $V_{TH}$ までチャージを行うチャージ回路を追加することで、メモリセルのデータを判定するインバータのスイッチングレベルまで、ビット線に対するチャージを速く行えるので、チャージ回路の電流能力が減少しかつビット線容量が増加しても、チャージ時間を短縮することができ、それにより高速読み出しが可能となる。

#### 【0030】

また、上記第4および第5の半導体記憶装置によれば、ダミー用メモリセルアレイとダミー用センスアンプでダミー用チャージ回路のオン時間を制御することで、ダミー用判定回路の出力信号DMOUTが変化するまで、ビット線に対するチャージを速く行えるので、チャージ回路の電流能力が減少しかつビット線容量が増加しても、チャージ時間を短縮することができ、それにより高速読み出しが可能となる。

#### 【0031】

##### 【発明の実施の形態】

以下、本発明の好適な実施形態について、図面を参照しながら説明する。

#### 【0032】

##### (第一の実施形態)

図1は、本発明の第一の実施形態に係る半導体記憶装置の構成例を示す回路図である。

#### 【0033】

図1において、半導体記憶装置は、センスアンプ1と、カラムデコーダ2と、メモリセルアレイ3と、チャージ信号発生回路4とから構成される。また、センスアンプ1は、チャージ用P型MOSトランジスタ5と、P型MOSトランジスタ6と、N型MOSトランジスタ7と、判定用インバータ8、バッファ用インバータ9とから構成される。なお、カラムデコーダ2、メモリセルアレイ3、チャージ信号発生回路4、チャージ用P型MOSトランジスタ5、判定用インバータ8、およびバッファ用インバータ9は、図6に示す従来例と同様であるので、同一の符号を付してその説明を省略する。

#### 【0034】

P型MOSトランジスタ6は、電源電圧VDDが供給されるソースと、チャージ信号発生回路4から出力されるチャージ制御信号NPRが印加されるゲートとを有する。N型MOSトランジスタ7は、P型MOSトランジスタ6のドレインに接続されたソースと、判定用インバータ8の出力端子に接続されたゲートと、判定用インバータ8の入力端子に接続されたドレインとを有する。

#### 【0035】

次に、以上のように構成された半導体記憶装置において、例として、メモリセルM11のデータを読み出す動作について、図2を参照して説明する。図2は、センスアンプ1における各部信号のタイミングチャートである。

#### 【0036】

まず、カラム選択信号線CL<sub>j</sub>（ $j = 1 \sim n$ ）のうち、CL1を論理「H」レベルに、その他のCL2～CL<sub>n</sub>を論理「L」レベルに遷移させることにより、カラムデコーダ2を構成するトランジスタのうち、N型MOSトランジスタC1をオン状態にし、その他のトランジスタC2～C<sub>n</sub>をオフ状態にする。また、ワード線WL1を非選択の状態である論理「L」レベルから選択の状態である論理「H」レベルに遷移させ、その他のワード線WL2～WL<sub>m</sub>を非選択の状態である論理「L」レベルにする。

#### 【0037】

次に、チャージ制御信号NPRを論理「H」レベルから論理「L」レベルにし、チャージ用P型MOSトランジスタ5とP型MOSトランジスタ6を共にオン

状態にする。

#### 【0038】

ここで、メモリセルM11のドレインがビット線BL1に接続されている場合は、N型MOSトランジスタ7を介するP型MOSトランジスタ6とチャージ用P型MOSトランジスタ5とのチャージ電流の能力と、メモリセルM11のデイスチャージする電流能力との関係で、判定用インバータ8の入力信号SIN (SIN0) のレベルが決定される。判定用インバータ8の入力信号SIN0のレベルが判定用インバータ8を構成するN型MOSトランジスタの閾値 $V_t$ を越えると、判定用インバータ8の出力信号SOUT (SOUT0) は電源電圧VDDレベルから下がる。それによって、N型MOSトランジスタ7のゲートレベルが下がり、N型MOSトランジスタ7を介するP型MOSトランジスタ6のチャージ電流能力が少なくなる。

#### 【0039】

判定用インバータ8の入力信号SIN0は、N型MOSトランジスタ7を介するP型MOSトランジスタ6とチャージ用P型MOSトランジスタ5とのチャージ電流能力と、メモリセルM11のデイスチャージする電流能力とが均衡するレベルになる。この均衡するレベルが判定用インバータ8のスイッチングレベル $V_{TH}$ よりも低くなるように、N型MOSトランジスタ7のサイズは予め設定されている。このため、判定用インバータ8の入力信号SIN0のレベルはスイッチングレベル $V_{TH}$ よりも低いレベルになるので、判定用インバータ8の出力信号は論理「H」レベルを保持し、かつバッファ用インバータ9の出力信号は論理「L」レベルを保持する。

#### 【0040】

一方、メモリセルM11のドレインがビット線BL1に接続されていない場合、判定用インバータ8の入力信号SIN (SIN1) のレベルが判定用インバータ8のスイッチングレベル $V_{TH}$ になるまでは、判定用インバータ8の出力信号SOUT (SOUT1) は論理「H」を保持しているので、ビット線BL1は、N型MOSトランジスタ7を介してP型MOSトランジスタ6とチャージ用P型MOSトランジスタ5とにより充電される。



## 【0041】

しかし、判定用インバータ 8 の入力信号 S I N 1 のレベルが判定用インバータ 8 のスイッチングレベル V T H に達すると、判定用インバータ 8 の出力信号 S O U T ( S O U T 1 ) が論理「H」レベルから論理「L」レベルに遷移して、N型 MOS トランジスタ 7 はオフ状態になるので、ビット線 B L 1 は、チャージ用 P 型 MOS トランジスタ 5 のみにより充電され、このとき、バッファ用インバータ 9 の出力信号 O U T ( O U T 1 ) は、論理「L」レベルから論理「H」レベルに遷移する。

## 【0042】

上記のように、本実施形態によれば、判定用インバータ 8 の入力信号 S I N のレベルがそのスイッチングレベル V T H に達するまで、N型 MOS トランジスタ 7 を介して P 型 MOS トランジスタ 6 とチャージ用トランジスタ 5 との両方でビット線を充電することにより、チャージ時間が短くなり、その結果、読み出し時間が短くなって、高速読み出しが可能となる。

## 【0043】

(第二の実施形態)

図 3 は、本発明の第二の実施形態に係る半導体記憶装置の構成例を示す回路図である。

## 【0044】

図 3 において、半導体記憶装置は、センスアンプ 10 と、カラムデコーダ 2 と、メモリセルアレイ 3 と、チャージ信号発生回路 4 とから構成される。また、センスアンプ 10 は、チャージ用 P 型 MOS トランジスタ 5 と、P 型 MOS トランジスタ 6 と、N 型 MOS トランジスタ 7 と、判定用インバータ 8 と、バッファ用インバータ 9 と、インバータ 11 とから構成される。

## 【0045】

なお、カラムデコーダ 2、メモリセルアレイ 3、チャージ信号発生回路 4、チャージ用 P 型 MOS トランジスタ 5、P 型 MOS トランジスタ 6、N 型 MOS トランジスタ 7、判定用インバータ 8、およびバッファ用インバータ 9 は、図 6 に示す従来例と同様であるので、同一の符号を付してその説明を省略する。

## 【0046】

センスアンプ10において、インバータ11は、判定用インバータ8の入力信号SINを受けて、N型MOSトランジスタ7のゲートに出力信号を印加する。また、インバータ11のスイッチングレベルは、判定用インバータ8のスイッチングレベルVTHよりも低い。

## 【0047】

次に、以上のように構成された半導体記憶装置において、例として、メモリセルM11のデータを読み出す動作について説明する。なお、読み出し動作としては、第一の実施形態で参照した図2と同一である。

## 【0048】

まず、カラム選択信号線CLj (j=1~n)のうち、CL1を論理「H」レベルに、その他のCL2~CLnを論理「L」レベルに遷移させることにより、カラムデコーダ2を構成するトランジスタのうち、N型MOSトランジスタC1をオン状態にし、その他のトランジスタC2~Cnをオフ状態にする。また、ワード線WL1を非選択の状態である論理「L」レベルから選択の状態である論理「H」レベルに遷移させ、その他のワード線WL2~WLnを非選択の状態である論理「L」レベルにする。

## 【0049】

次に、チャージ制御信号NPRを論理「H」レベルから論理「L」レベルにし、チャージ用P型MOSトランジスタ5とP型MOSトランジスタ6を共にオン状態にする。

## 【0050】

ここで、メモリセルM11のドレインがビット線BL1に接続されている場合は、N型MOSトランジスタ7を介するP型MOSトランジスタ6とチャージ用P型MOSトランジスタ5とのチャージ電流の能力と、メモリセルM11のディスタチャージする電流能力との関係で、判定用インバータ8とインバータ11の入力信号SIN (SIN0) のレベルが決定される。

## 【0051】

入力信号SIN0のレベルがインバータ11のスイッチングレベルに近づくと

、インバータ 11 の出力信号が論理「H」レベルから論理「L」レベルに遷移するので、N型MOSトランジスタ 7 はオン状態からオフ状態に遷移する。そのため、P型MOSトランジスタ 6 からのチャージ電流は無くなり、チャージ用P型トランジスタ 5 のチャージ電流の能力と、メモリセルM11のディスチャージする電流能力との関係で、判定用インバータ 8 とインバータ 11 の入力信号のレベルは決まり、そのため入力信号SIN0のレベルは判定用インバータ 8 のスイッチングレベルVTHよりも低いレベルになるので、判定用インバータ 8 の出力信号SOUT (SOUT0) は論理「H」レベルを保持し、かつバッファ用インバータ 9 の出力信号OUT (OUT0) は論理「L」レベルを保持する。

#### 【0052】

一方、メモリセルM11のドレインがビット線BL1に接続されていない場合、判定用インバータ 8 とインバータ 11 の入力信号SIN (SIN1) のレベルがインバータ 11 のスイッチングレベルになるまでは、ビット線BL1は、N型MOSトランジスタ 7 を介するP型MOSトランジスタ 6 とチャージ用トランジスタ 5 とにより充電され、判定用インバータ 8 とインバータ 11 の入力信号SIN1のレベルがインバータ 11 のスイッチングレベルに達すると、インバータ 11 の出力信号が論理「H」レベルから論理「L」レベルとなり、N型MOSトランジスタ 7 はオフ状態になるので、チャージ用トランジスタ 5 のみにより充電される。判定用インバータ 8 とインバータ 11 の入力信号SIN1はインバータ 8 のスイッチングレベルVTHよりも高いレベルになるので、インバータ 8 の出力信号は論理「L」レベルになり、かつバッファ用インバータ 9 の出力信号は論理「H」レベルとなる。

#### 【0053】

上記のように、本実施形態によれば、判定用インバータ 8 の入力信号SINのレベルが、インバータ 11 のスイッチングレベルになるまで、N型MOSトランジスタ 7 を介したP型MOSトランジスタ 6 と、チャージ用トランジスタ 5 とによりビット線を充電することにより、チャージ時間が短くなり、その結果、読み出し時間が短くなって、高速読み出しが可能となる。

#### 【0054】

また、インバータ 11 のスイッチングレベルは判定用インバータ 8 のスイッチングレベル  $V_{TH}$  よりも低いので、メモリセル M11 のドレインがビット線 BL1 に接続されている場合の判定用インバータ 8 の入力信号 SIN レベルと判定用インバータ 8 のスイッチングレベル  $V_{TH}$  との差を、第一の実施形態に比べて大きくできるので、安定した動作が可能となる。

#### 【0055】

(第三の実施形態)

図 4 は、本発明の第三の実施形態に係る半導体記憶装置の構成例を示す回路図である。

#### 【0056】

図 4 において、半導体記憶装置は、センスアンプ 12 と、カラムデコーダ 2 と、メモリセルアレイ 3 と、第 1 のチャージ信号発生回路 4 と、ダミー用センスアンプ 14 と、ダミー用カラムデコーダ 15 と、ダミー用メモリセルアレイ 16 と、第 2 のチャージ信号発生回路 (NOR 回路) 17 とから構成される。

#### 【0057】

なお、カラムデコーダ 2、メモリセルアレイ 3、第 1 のチャージ信号発生回路 4、チャージ用 P 型 MOS トランジスタ 5、判定用インバータ 8、バッファ用インバータ 9 は、図 6 に示す従来例と同様であるので、同一の符号を付してその説明を省略する。

#### 【0058】

センスアンプ 12 を構成する P 型 MOS トランジスタ 13 は、電源電圧  $V_{DD}$  に接続されたソースと、第 2 のチャージ信号発生回路 17 の出力信号 NPR 2 が印加されるゲートと、判定用インバータ 8 の入力端子に接続されたドレインとを有する。また、P 型 MOS トランジスタ 13 の電流能力は、メモリセル  $M_{ij}$  の電流能力よりも大きい。

#### 【0059】

ダミー用センスアンプ 14 は、センスアンプ 12 と同じ構成を有し、ダミー用センスアンプ 14 のチャージ用 P 型 MOS トランジスタ 5 と P 型 MOS トランジスタ 13 のゲートには、第 1 のチャージ信号生成回路 4 の出力信号 NPR が印加

され、出力信号DMOUTを第2のチャージ信号発生回路17に供給する。

【0060】

ダミー用カラムデコーダ15は、N型MOSトランジスタDCで構成される。N型MOSトランジスタDCのドレインは、判定用インバータ8の入力端子に接続され、そのゲートには電源電圧VDDが印加され、そのソースはダミービット線DBLに接続される。

【0061】

ダミー用メモリセルアレイ16は、N型MOSトランジスタのダミー用メモリセルDMj（j=1～m）を配置して構成される。ダミーメモリセルDMjのゲートは、接地電位に接続され、そのドレインはダミービット線DBLに接続され、そのソースは接地電位に接続される。

【0062】

第2のチャージ信号発生回路17は、第1のチャージ信号発生回路からのチャージ制御信号NPRと、ダミー用センスアンプ14の出力信号DMOUTとを受けて、P型MOSトランジスタ13のゲートに信号NPR2を出力する。

【0063】

次に、以上のように構成された半導体記憶装置において、例として、メモリセルM11のデータを読み出す動作について、図5を参照して説明する。図5は、図4の半導体装置における各部信号のタイミングチャートである。

【0064】

まず、カラム選択信号線CLj（j=1～n）のうち、CL1を論理「H」レベルに、その他のCL2～CLnを論理「L」レベルに遷移させることにより、カラムデコーダ2を構成するトランジスタのうち、N型MOSトランジスタC1をオン状態にし、その他のトランジスタC2～Cnをオフ状態にする。また、ワード線WL1を非選択の状態である論理「L」レベルから選択の状態である論理「H」レベルに遷移させ、その他のワード線WL2～WLmを非選択の状態である論理「L」レベルにする。ダミー用センスアンプ14の出力信号DMOUTは論理「L」レベルから動作を開始する。

【0065】

次に、チャージ制御信号NPRを論理「H」レベルから論理「L」レベルにし、センスアンプ12のチャージ用P型MOSトランジスタ5と、ダミー用センスアンプ14の、チャージ用P型MOSトランジスタ5およびP型MOSトランジスタ13とをオン状態にする。また、第2のチャージ信号生成回路17の出力信号NPR2も論理「H」レベルから論理「L」レベルになるので、センスアンプ12のP型MOSトランジスタ13はオン状態になる。

#### 【0066】

ダミー用センスアンプ14は、ダミー用センスアンプ14のP型MOSトランジスタ5とP型MOSトランジスタ13のチャージ電流で、ダミービット線DBLとダミー用センスアンプ14の判定用インバータ8の入力をチャージして、出力信号DMOUTは論理「L」レベルから論理「H」レベルになる。その結果、第2のチャージ信号発生回路17の出力信号NPR2も論理「L」レベルから論理「H」レベルになる。

#### 【0067】

ここで、メモリセルM11のドレインがビット線BL1に接続されている場合、NPRとNPR2が共に論理「L」レベルである時は、P型MOSトランジスタ5とP型MOSトランジスタ13とのチャージ電流の能力と、メモリセルM11のディスチャージする電流能力との関係で、判定用インバータ8の入力信号SIN(SIN0)のレベルが決定される。また、NPRが論理「L」レベルでNPR2が論理「H」レベルである時は、P型MOSトランジスタ5のチャージ電流の能力と、メモリセルM11のディスチャージする電流能力との関係で、判定用インバータ8の入力信号SIN0のレベルが決定される。

#### 【0068】

上記のようにNPRとNPR2が共に論理「L」レベルである時は、P型MOSトランジスタ13の電流能力はメモリセルMijの電流能力より大きいので、判定用インバータ8の入力信号SIN0は、判定用インバータ8のスイッチングレベルVTHに達し、その結果、センスアンプ12の出力信号OUTは論理「L」レベルから論理「H」レベルになる。

#### 【0069】

次に、NPR 2 が論理「H」レベルになると、センスアンプ 12 の P 型 MOS トランジスタ 13 はオフ状態になるので、判定用インバータ 8 の入力信号 SIN 0 は、判定用インバータ 8 のスイッチングレベル VTH より低くなり、その結果、センスアンプ 12 の出力信号 OUT は論理「H」レベルから論理「L」レベルになる。

#### 【0070】

一方、メモリセル M11 のドレインがビット線 BL1 に接続されていない場合、NPR と NPR 2 が共に論理「L」レベルである時は、P 型 MOS トランジスタ 5 と P 型 MOS トランジスタ 13 とのチャージ電流の能力で、判定用インバータ 8 の入力信号 SIN (SIN1) のレベルが決定される。また、NPR が論理「L」レベルで NPR 2 が論理「H」レベルである時は、P 型 MOS トランジスタ 5 のチャージ電流の能力で、判定用インバータ 8 の入力信号 SIN1 のレベルが決定される。

#### 【0071】

上記のように NPR と NPR 2 が共に論理「L」レベルである時は、P 型 MOS トランジスタ 13 の電流能力は大きいので、判定用インバータ 8 の入力信号 SIN1 は、判定用インバータ 8 のスイッチングレベル VTH に達し、センスアンプ 12 の出力信号 OUT1 は論理「L」レベルから論理「H」レベルになる。

#### 【0072】

次に、NPR 2 が論理「H」レベルになると、センスアンプ 12 の P 型 MOS トランジスタ 13 はオフ状態になるので、チャージ電流の能力は少なくなるが、判定用インバータ 8 の入力信号 SIN1 は、判定用インバータ 8 のスイッチングレベル VTH よりも高くなり、センスアンプ 12 の出力信号 OUT1 は論理「H」レベルを保持する。

#### 【0073】

上記のように、本実施形態によれば、ダミー用センスアンプ 14 の出力信号 DMOUT が論理「H」レベルになるまで、P 型 MOS トランジスタ 5 と P 型 MOS トランジスタ 13 でビット線を充電することにより、チャージ時間が短くなり、その結果、読み出し時間が短くなって、高速読み出しが可能となる。

**【0074】**

また、ダミー用センスアンプ14の出力信号DMOUTが論理「H」レベルになると、メモリセルM11のドレインがビット線BL1に接続されている場合の貫通電流を、第一の実施形態および第二の実施形態に比べて小さくできるので、高速読み出しでかつ低消費電流化が可能になる。

**【0075】**

なお、本実施形態のセンスアンプ12とダミー用センスアンプ14を、第一の実施形態のセンスアンプ1に変更して、チャージ用P型MOSトランジスタ5のゲートに制御信号NPRを印加し、P型MOSトランジスタ6のゲートに制御信号NPR2を印加するように構成しても、同様に高速読み出しでかつ低消費電流化が可能になる。

**【0076】**

また、本実施形態のセンスアンプ12とダミー用センスアンプ14を、第二の実施形態のセンスアンプ10に変更して、チャージ用P型MOSトランジスタ5のゲートに制御信号NPRを印加し、P型MOSトランジスタ6のゲートに制御信号NPR2を印加するように構成しても、同様に高速読み出しでかつ低消費電流化が可能になる。

**【0077】****【発明の効果】**

以上説明したように、本発明によれば、メモリセルのデータを判定する回路のスイッチングレベルまでチャージを行う回路を追加し、またダミー用メモリセルアレイとダミー用センスアンプで第2のチャージ回路のオン時間を制御することにより、高速読み出しを実現することが可能となる、という格別な効果を奏する。

**【図面の簡単な説明】**

**【図1】** 本発明の第一の実施形態に係る半導体記憶装置の構成例を示す回路図

**【図2】** 図1のセンスアンプ1における各部信号のタイミングチャート

**【図3】** 本発明の第二の実施形態に係る半導体記憶装置の構成例を示す回路図



図

【図 4】 本発明の第三の実施形態に係る半導体記憶装置の構成例を示す回路

図

【図 5】 図 4 の半導体記憶装置における各部信号のタイミングチャート

【図 6】 従来の半導体記憶装置の構成例を示す回路図

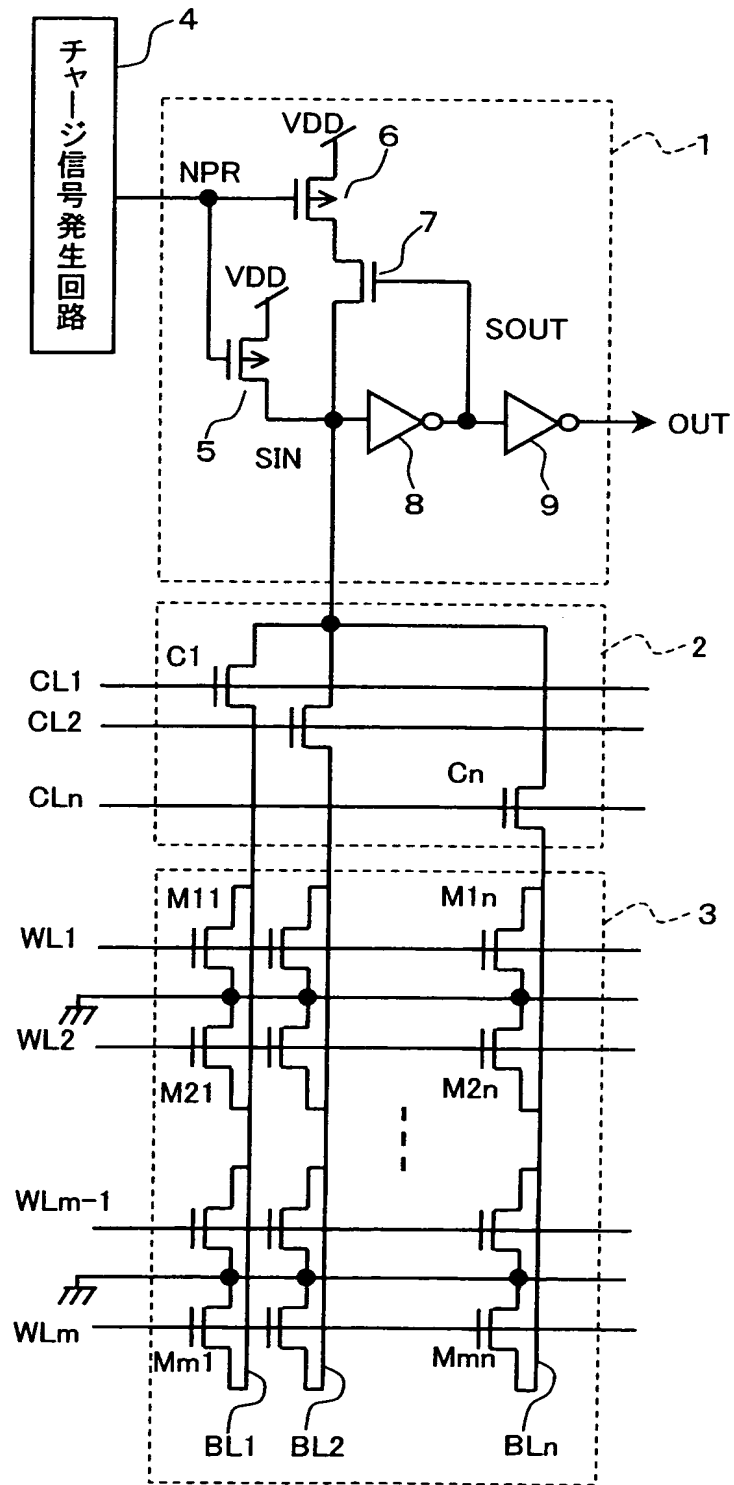
【図 7】 図 6 のセンスアンプ 18 における各部信号のタイミングチャート

【符号の説明】

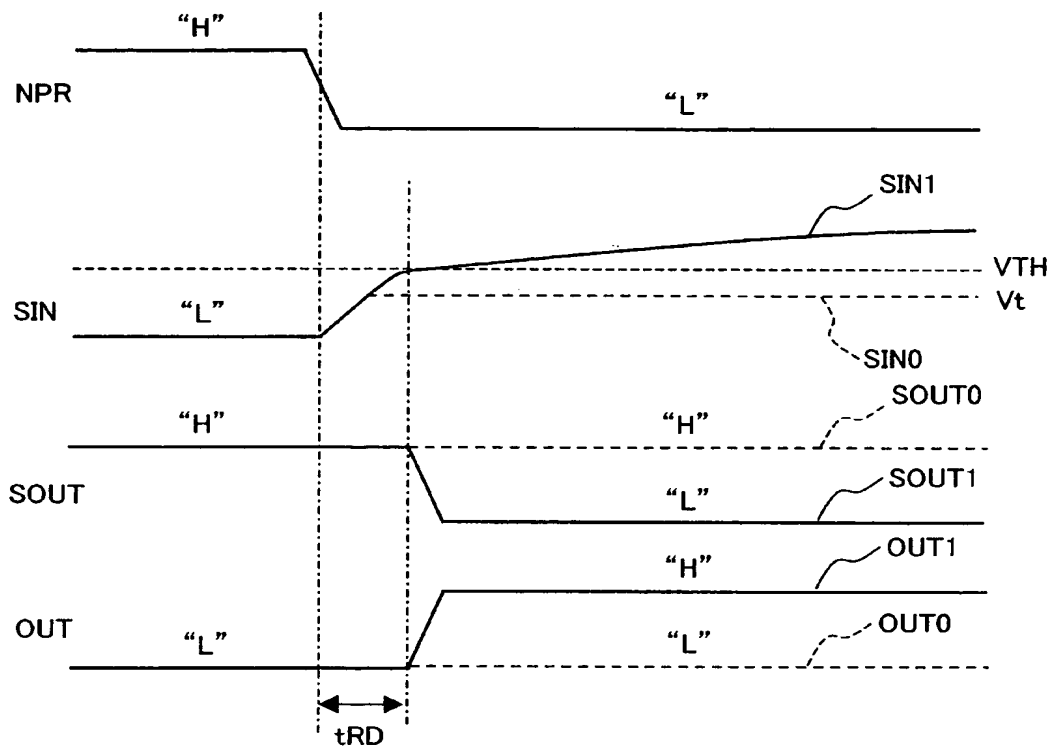
- 1、10、12、18 センスアンプ
- 2 カラムデコーダ
- 3 メモリセルアレイ
- 4 チャージ信号発生回路（第 1 のチャージ信号発生回路）
- 5 チャージ用 P 型 MOS トランジスタ
- 6 P 型 MOS トランジスタ
- 7 N 型 MOS トランジスタ
- 8 判定用インバータ
- 9 バッファ用インバータ
- 11 インバータ
- 13 P 型 MOS トランジスタ
- 14 ダミー用センスアンプ
- 15 ダミー用カラムデコーダ
- 16 ダミー用メモリセルアレイ
- 17 第 2 のチャージ信号発生回路（NOR 回路）

【書類名】 図面

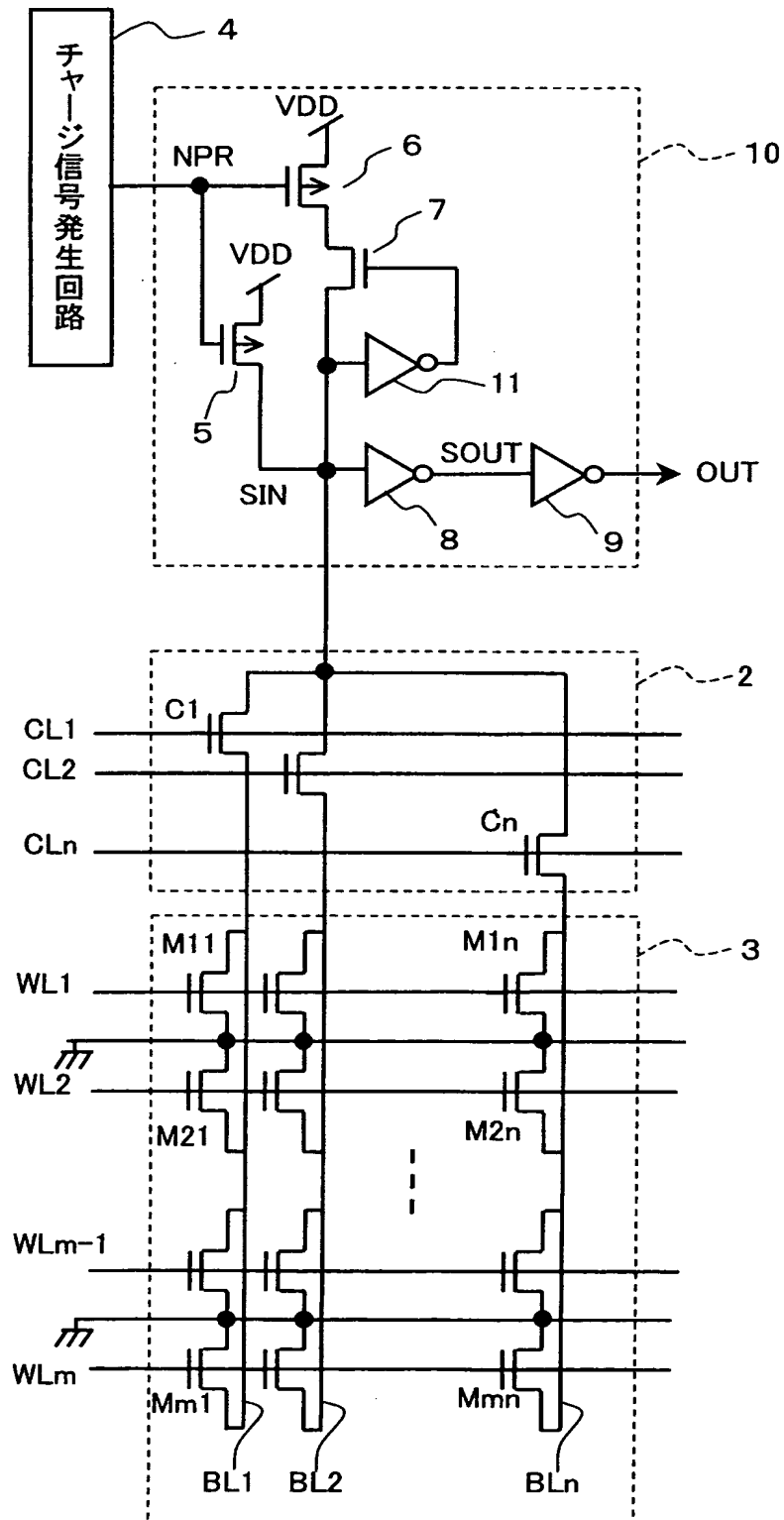
【図 1】



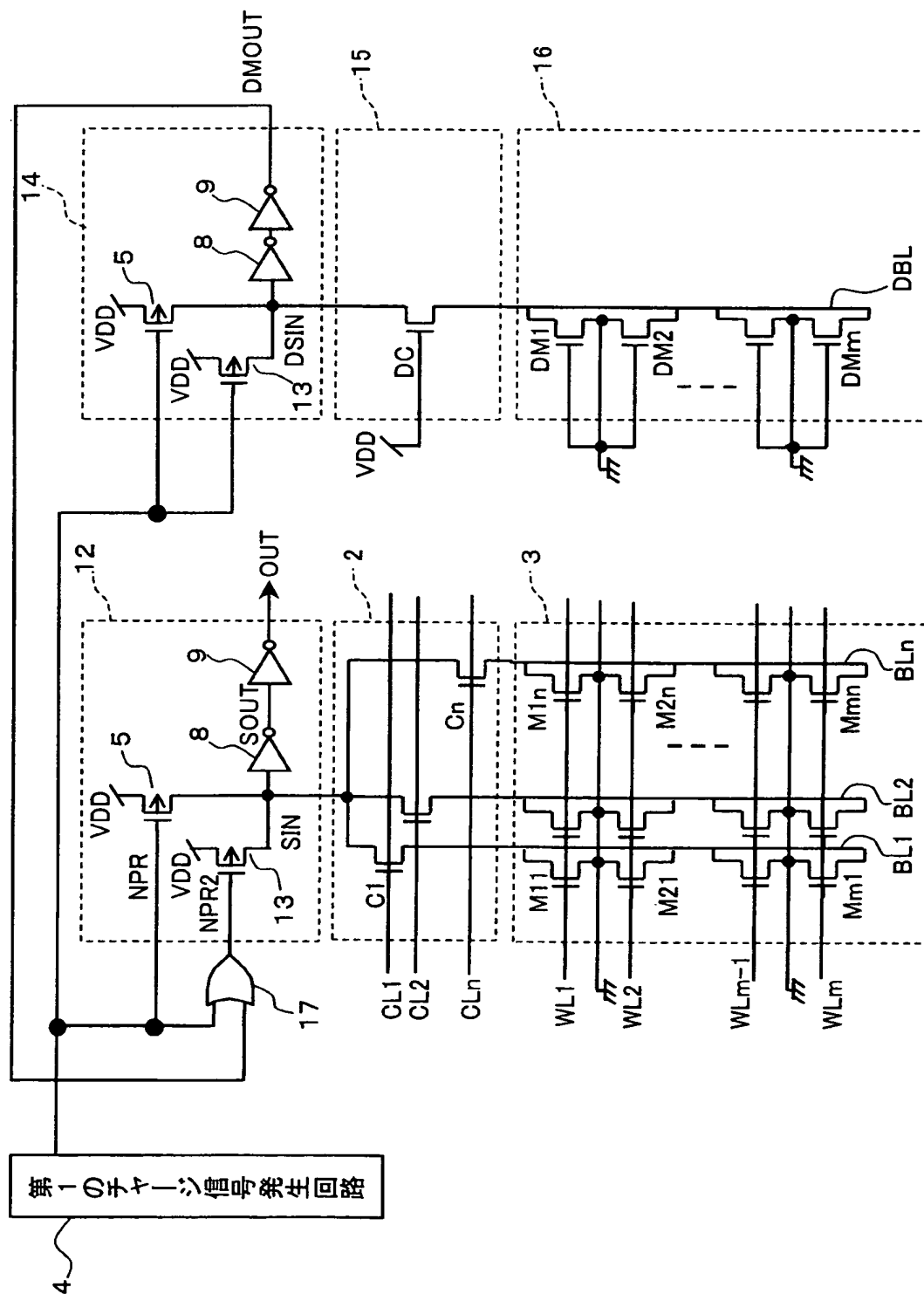
【図 2】



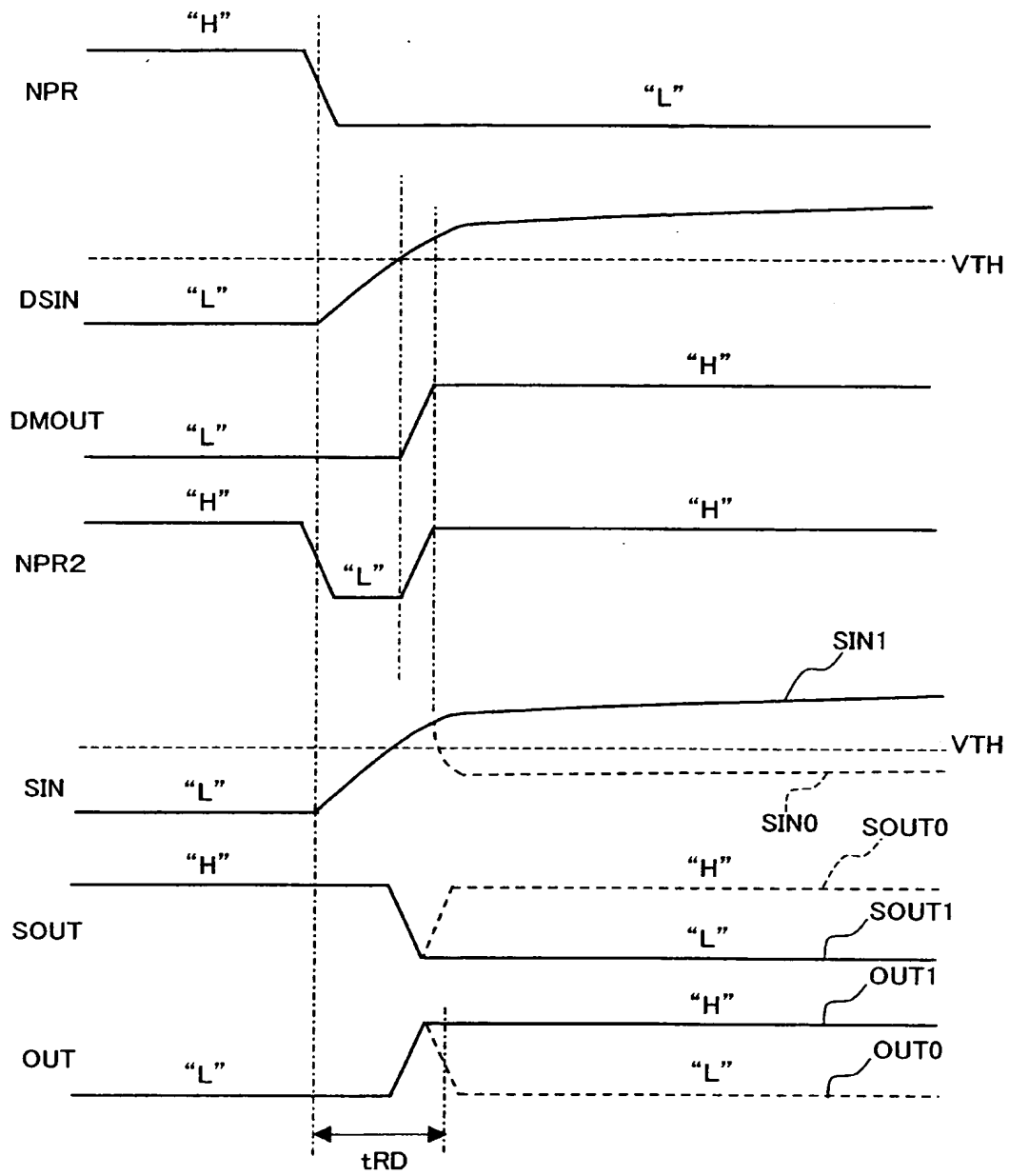
【図 3】



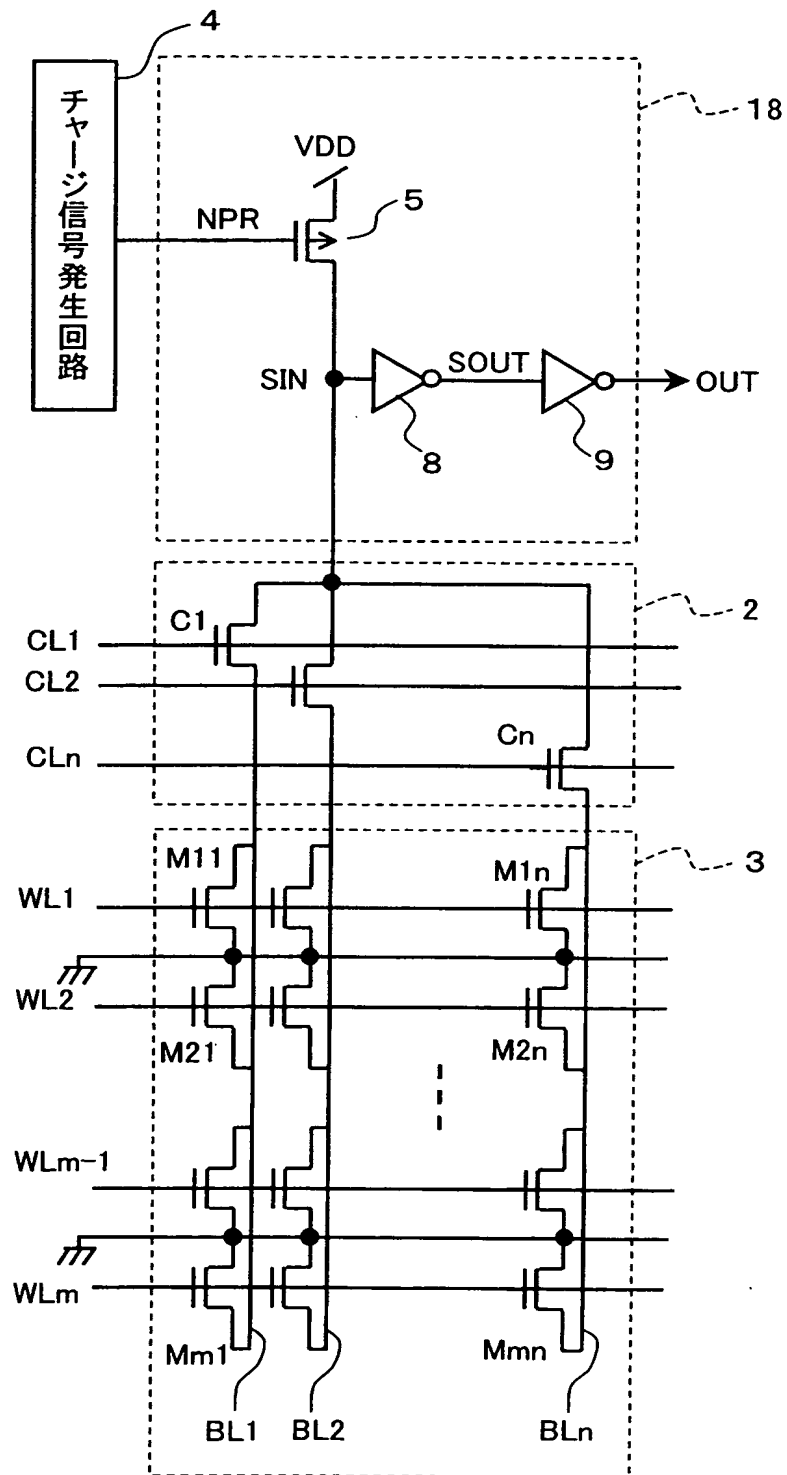
【図4】



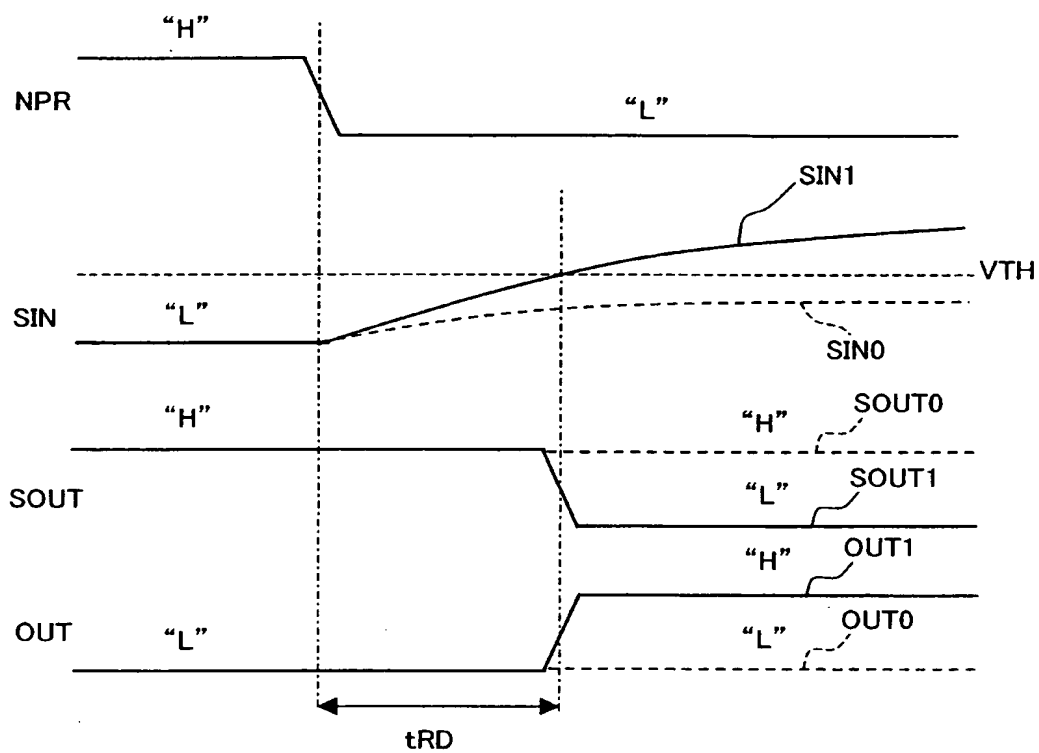
【図 5】



【図 6】



【図 7】





【書類名】 要約書

【要約】

【課題】 メモリセルおよびチャージ用トランジスタの電流能力が小さくなり、かつビット線容量が増加したとしても、高速読み出しが可能な半導体記憶装置を提供する。

【解決手段】 セン스アンプ 1 において、チャージ用 P 型 MOS トランジスタ 5 に加えて、メモリセルのデータを判定する回路に含まれる判定用インバータ 8 のスイッチングレベルまで、選択されたビット線に対するチャージを行う回路として、P 型 MOS トランジスタ 6 と N 型 MOS トランジスタ 7 を設け、高速にビット線を充電することで、読み出し時間を短縮する。

【選択図】 図 1

特願 2 0 0 2 - 3 6 8 7 4 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社